

基于滑窗流水的高性能可配置 viterbi 译码器

赵旭莹¹, 李 桓¹, 王晓琴², 王东琳²

(1 中国科学院大学 计算机与控制学院, 北京 100190;

2 中国科学院自动化研究所 国家专用集成电路设计工程技术研究中心, 北京 100190)

摘 要: 为了对无线通信卷积编码多标准支持, 同时为了适应未来高速率卷积编码需求, 基于滑窗流水的前向回溯基四算法, 实现了支持多标准的高性能可配置 viterbi 译码器, 该译码器峰值吞吐可达到 1.15 Gbps@6144 bit, 600 MHz. 与主流商用 viterbi 译码器相比, 全球领先的半导体公司—TI 的 viterbi 译码器 VCP2 数据处理能力为 9.5 Mbps@40 bit, 333 MHz, 本文中译码器数据处理能力为 32.173 Mbps@40 bit, 333 MHz, 性能提升约 3.3 倍. 此外, 该译码器在面积与功耗方面也优于其它可配置型 viterbi 译码器, 在未来高速率卷积译码中有很大应用前景.

关键词: 可配置; viterbi 译码器; 高性能; 滑窗流水; 前向回溯

中图分类号: TN92

文献标识码: A

文章编号: 1000-7180(2018)02-0032-05

Sliding Window Pipelined High Performance Reconfigurable Viterbi Decoder

ZHAO Xu-ying¹, LI Huan¹, WANG Xiao-qin², WANG Dong-lin²

(1 College of Computer and Control Engineering, University of Chinese Academy of Sciences, Beijing 100190, China; 2 National ASIC Design Engineering Center, Institute of Automation, Chinese Academy of Sciences, Beijing 100190, China)

Abstract: In order to support multi-standard for convolutional coding in wireless communication, and to meet the requirement of high data rate in the future. A radix-4 multi-standard high performance reconfigurable viterbi decoder based on the sliding window pipeline technique with forward traceback algorithm was implemented. The peak throughput of the decoder can reach up to 1.15 Gbps@6144 bit, 600 MHz. Compared with the mainstream commercial viterbi decoder, the data processing speed of VCP2 which is proposed by Texas Instruments company is 9.5 Mbps@40 bit, 333 MHz, and the data processing speed of viterbi decoder in this paper is 32.173 Mbps@40 bit, 333 MHz, performance improved about 3.3 times. In addition, the decoder is superior to other reconfigurable viterbi decoders in area and power consumption. It has great application prospect in the future high data rate convolutional decoding.

Key words: reconfigurable; viterbi decoder; high performance; sliding window pipeline technique; forward traceback

1 引言

Viterbi 译码器广泛应用于无线通信系统和多媒体设备中进行前向纠错,

目前, 关于 viterbi 译码器研究, 大多是针对单一标准^[1-2]. 2008 年, Mark A 等^[3]在 90 nm CMOS 工艺下设计了一种可配置 viterbi 译码器, 支持约束长度 5~9.

2016 年, Khlood Mostafa 等^[4]基于 Zynq-7000 FPGA, 设计一种支持 Wi-Max、WLAN、3GPP2、GSM 和 LTE 系统的可配置 viterbi 译码器. 该译码器采用基二算法, 数据处理速度不高, 最优性能下功耗为 78 mW. 同年, 夏飞等^[5]基于 FPGA 设计一种支持 GPRS、WiMAX、LTE、CDMA、3G 等通信标准的可配置 viterbi 译码器. 该译码器采用基四算法, 最高主频为 270.5 MHz, 峰值

吞吐为 541 Mbps.

本文根据常用通信标准,设计的 viterbi 译码器支持码率 1/2、1/3、1/4,约束长度 5~9,生成多项式可任意配置.该译码器在 600 MHz 主频下,峰值吞吐为 1.15 Gbps,普遍高于现有 viterbi 译码器设计.

2 Viterbi 基本原理

Viterbi 算法是在无记忆噪声干扰下,对有限状态离散马尔科夫序列的最大后验概率估计^[6].对于无记忆离散信道,噪声对每一位发送码元的影响是独立不相关的,从而条件概率 $P(r_i | y_i)$ 就等于每个独立同分布接收码元条件概率的乘积,即长度为 L 的接收序列 r 的似然函数如公式(1)所示.

$$p(r|y) = \prod_{i=0}^{L-1} p(r_i | y_i) \quad (1)$$

为了简化似然函数计算复杂度,通常采用对数似然函数来表示,如公式(2)所示.

$$p(r|y) = \sum_{i=0}^{L-1} \log(p(r_i | y_i)) \quad (2)$$

Viterbi 算法通常采用欧式距离计算码元度量.欧式距离码元度量如公式(3)所示,其中 n_0 是码率的倒数.

$$M(r_i | y_i) = \sum_{j=0}^{n_0-1} (r_i^j - y_i^j)^2 \quad (3)$$

离散时间有限状态马尔科夫过程状态转移图可以用网格图^[7]来表示. Viterbi 算法是在网格图上进行递归计算,不断更新状态度量值,最后选取状态度量值最好的幸存路径作为译码输出.通常, Viterbi 算法采用寄存器交换法 (Register Exchange, RE)^[8] 和回溯法 (Trace Back, TB) 实现译码^[9].寄存器交换法一般应用于状态数比较少的译码器中,这是由于寄存器交换法对内存中的每一比特会反复读写,随状态数的增加,功耗线性增加.状态数较多的译码器通常采用回溯法,但回溯法译码延迟比较大.

3 基于滑窗流水的前向回溯法

通过大量实验仿真,发现后向回溯具有这样一条规律:某一时刻所有路径回溯 $X \geq X'$ 时刻后,均到达同一状态,如图 1 所示.这条规律通常被称为数据一致性^[10].

根据数据一致性规律,可以将网格图进行分段处理,段长设为 $S, S \geq X', X'$ 通常称为最小分割长度.最小分割长度一般通过经验得来,通常设置为约

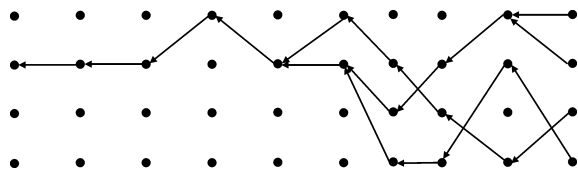


图1 数据一致性规律

束长度的 5~6 倍^[11].最小分割长度内通过后向回溯计算,可以得到前面分段的正确起始回溯状态,基于此可以考虑对待译码数据按照最小分割长度进行分滑窗处理.

如何得到前面分段的起始回溯状态是接下来要考虑的问题.假设初始时刻,对每个状态进行编号 $\{0, 1, 2, \dots\}$,如图 2 所示,网格图前向递归计算过程中,得到每个时刻的更新状态来自前面时刻哪个状态,并将前面时刻对应状态存储的状态编号进行存储,作为当前更新状态的状态编号,如图 3 所示.依次递归,经过 X' 时刻后,所有更新状态存储的状态编号均相同,即得到了 $t - X'$ 时刻的后向回溯起始状态. $t + 1$ 时刻继续前向递归计算,同时可以开始 $t - X'$ 时刻的后向回溯,此算法称为前向回溯法^[12].

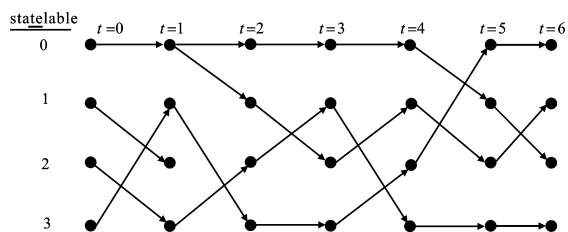


图2 网格图前向递归幸存路径更新

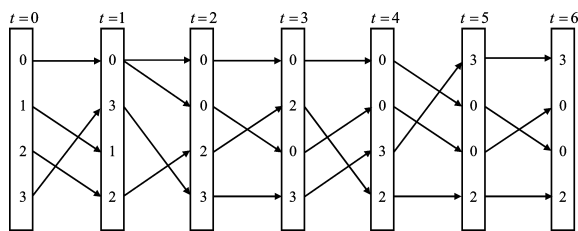


图3 网格图递归计算状态标号更新

结合数据一致性规律和前向回溯算法,可以将待译码数据分滑窗进行流水处理.这里,网格图前向递归计算产生幸存路径过程称为 SPG (Survivor Path Generation),后向回溯过程称为 TB (Trace Back).实际上,译码之初还有加载数据过程,称为 LD (Load).译码器流水时序如图 4 所示.

从图 4 可以看出,SPG 和 TB 过程同时进行,SPG 是对幸存路径存储单元进行写操作,TB 是对幸存路径存储单元进行读操作.译码器中幸存路径

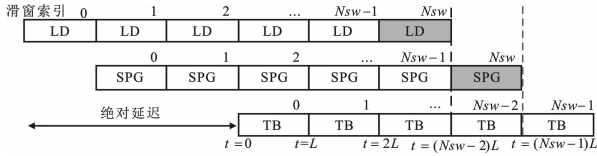


图4 viterbi 译码器流水时序

存储单元分为三块 bank, bank 深度等于滑窗长度 L . 幸存路径存储单元读写时序如图 5 所示.

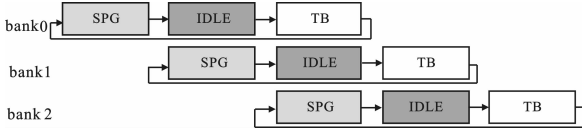


图5 幸存路径存储单元读写时序

滑窗流水设计可以实现前向状态递归计算与后向回溯同时进行工作,不同滑窗数据分时复用处理单元,使得硬件使用效率达到最大,同时降低了数据等待时间,译码延迟由 $2N$ 降为 N .

假设待译码数据分为 N_{sw} 个滑窗,滑窗长度为 L ,在 $t = (N_{sw} - 2)L$ 时刻,译码器开始对第 $(N_{sw} - 2)$ 滑窗进行回溯,此时可以同时同时对第 $(N_{sw} - 1)$ 滑窗的起始回溯状态进行获取,这样在 $t = (N_{sw} - 1)L$ 时刻就可以开始对第 $(N_{sw} - 1)$ 滑窗进行回溯. 基于此,可以在待译码数据后面添加一个滑窗的冗余数据,用于获取第 $(N_{sw} - 1)$ 滑窗的起始回溯状态,如图 4 所示.

冗余滑窗添加法对零结尾和咬尾均适用. 若是零结尾方式,冗余滑窗数据均为 0;若是咬尾方式,将待译码数据头部添加在尾部,作为冗余滑窗数据. 冗余滑窗添加完成后,后续译码过程不再区分零结尾和咬尾两种结尾方式,此处理虽增加了数据冗余,但时间上没有增加开销,且在一定程度上降低了算法复杂度.

4 Viterbi 译码器 RTL 实现

Viterbi 译码器电路结构如图 6 所示. CTR 模块对译码器内部各功能部件进行调度和时序管理. 分支度量计算单元 BMU 和加比选部件 ACS 构成 SPG 模块,进行前向状态递归计算,产生幸存比特. TB 模块用于后向回溯计算,产生最终译码结果. 译码器内部包含的缓存单元有:四路校验信息输入缓存,网格分支存储单元,路径度量存储单元,起始回溯状态存储单元,幸存比特存储单元. 下面重点分析译码器中设计复杂度最高的 SPG 模块.

SPG 模块是网格图前向递归计算,产生每个状

态的幸存路径. 基四算法下,每四组状态之间转移关系可以组成一个闭环,对四组状态的处理单元称为 PE(Processing Engine, PE)单元,PE 内状态转移关系可以用公式(4)来表示.

$$\begin{bmatrix} S_{4k+0} \\ S_{4k+1} \\ S_{4k+2} \\ S_{4k+3} \end{bmatrix} \rightarrow \begin{bmatrix} S_{k+0 \times K} \\ S_{k+2 \times K} \\ S_{k+1 \times K} \\ S_{k+3 \times K} \end{bmatrix} \quad (4)$$

式中, K 表示 PE 个数, $K = n/4$, n 为译码器总状态数目, k 为当前 PE 索引. 每个 PE 模块需要计算十六组分支度量,通过分析分支度量数据特点,可以将十六组分支度量计算简化为八组. 根据简化分支度量计算模块和 PE 内状态转移关系,可以得到 PE 模块电路结构,如图 7 所示. 该模块对前一时刻的状态度量值和起始回溯状态进行更新,并得到部分路径幸存比特.

PE 模块中加比选 (Add-Compare-Select, ACS) 部件是 viterbi 译码器中时序约束最紧张的,传统基四加比选结构,面积上比基二算法多了两个加法器和两个比较器,时间上比基二算法多了一级比较运算. 此外,网格图递归计算,状态度量值不断累加,一定时间后会超出数据表示范围,此时译码器失效. 为了避免数据溢出,加比选部件还承担了规约运算,最直接的规约运算是每时刻数据累加后,从状态度量值中选取最大的一个,每个状态度量值分别减去这个数. 这种方法延迟比较大,在每级加比选运算后,需要增加若干级比较和减法运算,时间消耗与加比选运算相当,这种方法是不划算的. 还有一种模规约算法,需要增加两级异或门操作,其结构如图 8 所示. 此规约算法不能与加比选操作同时进行,会进一步增加关键路径延迟.

本文中加比选部件主要在两个方面进行优化:缩短四选一逻辑、规约运算. 加比选部件如图 9 所示,包括四个加法器、四个减法器、六个比较器和一个选择逻辑. 本文对基四算法下加比选部件进行优化,使四选一逻辑在一级比较中完成,同时把规约运算隐藏在加比选计算中,降低关键路径延迟,进而提升系统整体性能.

5 仿真结果与性能对比

5.1 算法仿真结果

本文仿真了基于 LTE 协议的咬尾卷积编码和译码性能,采用 QPSK 调制,AWGN 信道,码块长度为 1 080 比特,误块率(Block Error Rate, BLER)

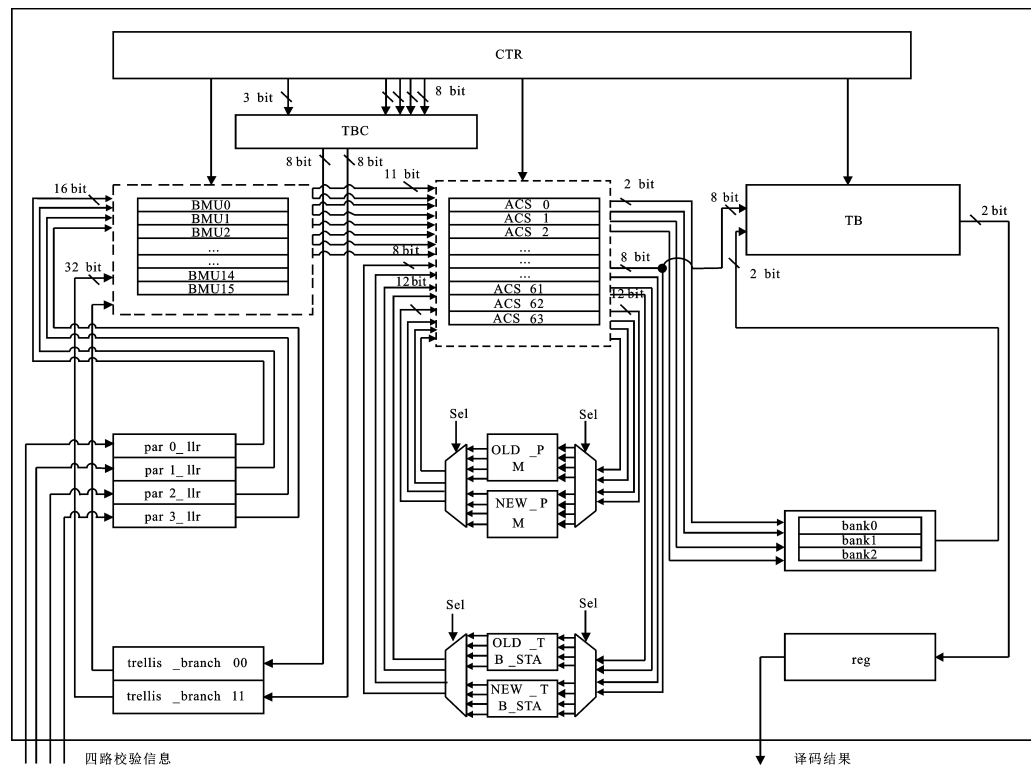


图 6 Viterbi 译码器电路结构图

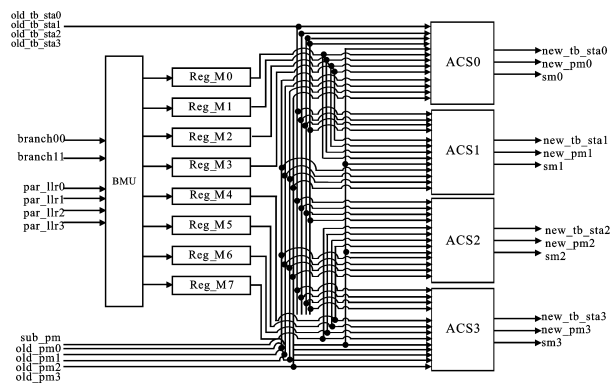


图 7 PE 模块电路结构

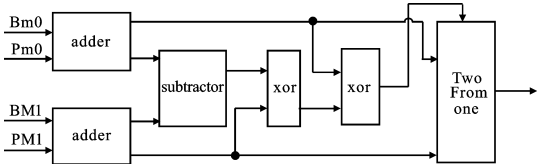


图 8 模规约结构图

统计性能如图 10 所示,从 BLER 性能来看,本文中采用的 viterbi 算法比传统 viterbi 算法性能提升约 1.8 dB,这是得益于本设计中采用的冗余滑窗添加,使译码性能得到了很大提升.

5.2 性能对比

本文采用 Synopsys 28 nm 标准单元库,利用 Synopsys Design Compiler 进行综合,综合结果如

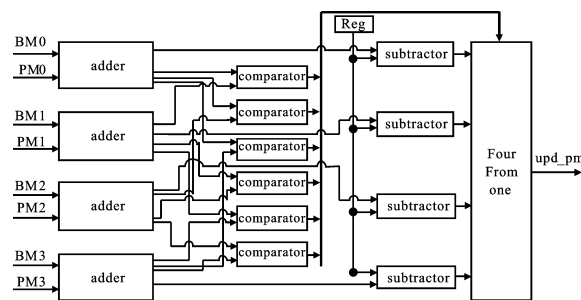


图 9 优化的加比选部件电路结构

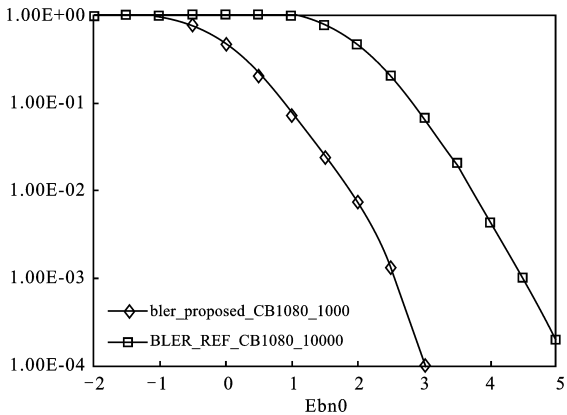


图 10 Viterbi 译码器 BLER 性能曲线

表 1 所示.从表中可以看出,本文中 Viterbi 译码器支持的标准更为丰富,例如对 CDMA2000 中 1/4 码率支持.文献[3]高吞吐是通过提高主频来获得,主

频 3.8 GHz 情况下,峰值吞吐为 1.9 Gbps,其每比特消耗的能量远大于本设计中的译码器,硬件效率也不如本设计中译码器硬件效率高.文献[5]中的译码器主频较低,因而吞吐难以提高.综合现有多标准 viterbi 译码器,从吞吐、面积和功耗角度来看,本文中的译码器性能普遍优于其它可配置型 viterbi 译码器.

表 1 viterbi 译码器性能比较

list	proposed	文献[3]	文献[5]
Code Rate	1/2, 1/3, 1/4	1/2, 1/3	1/2, 1/3
Constraint Length	5~9	5~9	5~9
Technology/nm	28	90	28
Frequency/Hz	600 M	3.8 G	270.5 M
Throughput/Gbps	1.150	1.900	0.541
Area/mm ²	0.211	1.900	—
Power/mW	46	358	—
Energy per bit/(mW/Mb/s)	0.04	0.19	—
HardwareEfficiency/(Gb/s/mm ²)	5.45	1.00	—

6 结束语

本文采用基于滑窗流水的前向回溯基四算法,实现了支持多标准的高性能可配置 Viterbi 译码器.通过冗余滑窗添加,在不增加译码延迟基础上,提高了译码性能.该译码器支持码率 1/2、1/3、1/4,约束长度 5~9,生成多项式可任意配置,支持零结尾和咬尾.与主流商用 Viterbi 译码器相比,全球领先的半导体公司—TI 的 VCP2 数据处理能力为 9.5 Mbps@40bit,333 MHz,本文中译码器数据处理能力为 32.173 Mbps@40bit,333 MHz,性能提升约 3.3 倍.在 28 nm 标准单元库下,主频可达到 600 MHz,面积为 0.211 mm²,功耗为 46 mW.该译码器在数据处理速度、面积与功耗方面的综合性能要优于其它可配置型 Viterbi 译码器,在未来高速率卷积译码中有很大应用前景.

参考文献:

[1] Liu X, Papaefthymiou M C. Design of a high-throughput low-power IS95 viterbi decoder[C]//Design Automation Conference. New Orleans, USA, 2002 : 263-268.

[2] He J, Liu H, Wang Z, et al. High-speed low-power viterbi decoder design for TCM decoders[J]. IEEE Transactions on Very Large Scale Integration Systems, 2012, 20(20):755-759.

[3] Anders M A, Mathew S K, Hsu S K, et al. A 1.9 Gb/s 358 mW 16-256 state reconfigurable viterbi accelerator in 90 nm CMOS[J]. IEEE Journal of Solid-State

Circuits, 2008, 43(1):214-222.

[4] Mostafa K, Hussein A, Youness H, et al. High performance reconfigurable viterbi decoder design for multi-standard receiver[C]// National Radio Science Conference. Boulder,USA,2016:249-256.

[5] 夏飞, 聂晶, 李荣春,等. 现场可编程门阵列参数化多标准高吞吐率基 4 Viterbi 译码器[J]. 国防科技大学学报, 2016,38(1):86-92.

[6] Forney G D J. The viterbi algorithm[J]. IEEE, 1993, 61(5):268-278.

[7] Forney G D. Review of random tree codes[R]. NASA Ames Res. Cen., Moffett Field, Calif., Contract NAS2-3637, NASA CR 73176, Final Rep., 1967, appendix A.

[8] Muhammad B A, Zanna M A, Mohammed D A, et al. Low complexity FPGA implementation of register exchange based viterbi decoder[C]// IEEE International Conference on Emerging & Sustainable Technologies for Power & ICT in A Developing Society. Islamabad, Pakistan, IEEE, 2013:21-25.

[9] Lee J H, Park W H, Moon J H, et al. Efficient DSP architecture for viterbi decoding with small trace back latency[J]. Ieice Transactions on Communications, 2006, 89(10) :129-132 .

[10] Cypher R, Shung C B. Generalized trace back techniques for survivor memory management in the Viterbi algorithm[J]. Journal of Signal Processing Systems, 1993, 5(1):85-94.

[11] Manzoor R, Rafique A, Bajwa K B. VLSI implementation of an efficient pre-trace back approach for viterbi algorithm[C]//International Bhurban Conference on Applied Sciences & Technology. English,2007:27-30.

[12] Gang Y, Erdogan A T, Arslan T. An efficient pre-traceback architecture for the viterbi decoder targeting wireless communication applications[J]. Circuits & Systems I Regular Papers IEEE Transactions on, 2006, 53(9):1918-1927.

作者简介:

赵旭莹 女,(1988-),博士研究生.研究方向为计算机体系结构、专用集成电路设计.
E-mail:zhaoxuying2012@ia.ac.cn.

李 桓 男,(1990-),博士研究生.研究方向为集成电路体系结构设计、无线通信物理层算法.

王晓琴 女,(1981-),博士,副研究员.研究方向为集成电路体系结构设计、无线通信物理层算法.

王东琳 男,(1956-),博士,研究员.研究方向为集成电路体系结构设计、专用集成电路设计.